

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-267589

(43)Date of publication of application : 28.09.2001

(51)Int.Cl.

H01L 29/861
H01L 29/16
H01L 29/41
H01L 29/43
H01L 29/74
H01L 29/78
H01L 21/338
H01L 29/812

(21)Application number : 2000-077213

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.03.2000

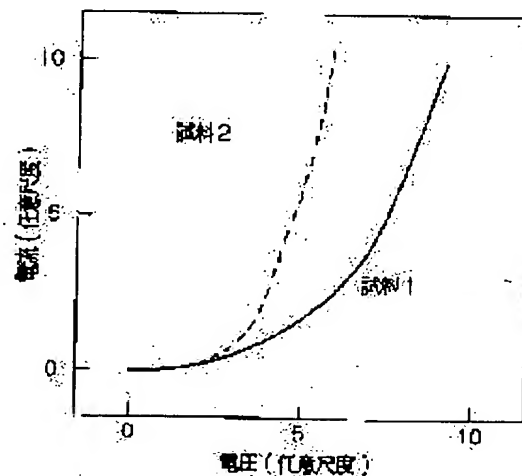
(72)Inventor : HACHIMAN AKIHIRO

(54) SiC SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize an SiC semiconductor element in which the on-voltage is low.

SOLUTION: A groove is dug in an SiC substrate, and an electrode is embedded in the groove.



[0002]

[Description of the Prior Art]It is about 10 times of Si and GaAs, and twice [about] the electronic saturation drift velocity of this, and a dielectric breakdown electric field is [thermal conductivity of SiC] about 3 times the Si.

There is the outstanding feature that conduction type control of p and n is possible, and the stable oxidizing film formation is possible, and it is expected as a future element material for electric power which replaces Si.

However, the ON state voltage of the SiC semiconductor device produced until now was high, and the expected performance was not obtained.

[0003]

[Problem(s) to be Solved by the Invention]Like ****, the ON state voltage of the SiC semiconductor device produced until now is not high, and was not necessarily advantageous in particular compared with Si semiconductor device. Writers found out that it was that one of the reason of this is low as for the carrier lifetime of a SiC substrate, and the voltage drop in a substrate is large. This invention was made in consideration of the above-mentioned situation, the place made into the purpose makes the voltage drop in a SiC substrate as small as possible, and it is in providing the SiC semiconductor device whose ON state voltage is lower than before.

[0004]

[Means for Solving the Problem]In a SiC semiconductor device which has at least the 1st conductivity-type SiC epitaxial layer formed on the 1st conductivity-type SiC substrate and this 1st conductivity-type SiC substrate in order to attain an aforementioned problem. The 1st conductivity-type SiC substrate of an opposite hand of a 1st conductivity-type SiC epitaxial layer is trench, and an electrode is embedded in this slot. As for area of a slot, it is desirable that it is 10% to 50% of the area of the 1st conductivity-type SiC substrate.

[0005]Why a SiC semiconductor device whose ON state voltage is lower than before is obtained. It is because an electrode currently embedded in a slot is reached, without a career which flows into the 1st conductivity-type SiC substrate from a 1st conductivity-type SiC epitaxial layer flowing through the 1st conductivity-type SiC substrate so much, so a voltage drop in a SiC substrate decreases. A reason for having made area of a slot into 10 to 50% is that an effect of a voltage drop will decrease and current concentration will occur further if it is made to 10% or less. It is because a mechanical strength of a SiC substrate will become weak if it is made to not less than 50%.

[0006]

[Embodiment of the Invention]Hereafter, the example of this invention is described. Drawing 1 shows the sectional view of the conventional SiC p-n diode. 1 -- a n type SiC substrate and 2 -- a n type SiC epitaxial layer and 3 -- aluminum -- yne plastic -- the back, [the bottom] the p⁺-SiC layer annealed and formed and 4 -- 3 -- the same -- aluminum -- yne plastic -- the p⁻-SiC layer which the back annealed and the bottom formed, and 5 -- P -- yne plastic -- an anode electrode and 7 are cathode terminals the n⁺-SiC layer which the back annealed and the bottom formed, and 6. Oxide films were omitted for simplification. As for the thickness of the n type SiC substrate of 1, 10 micrometers and the p⁻-SiC layer of 4 work as JAKUSHON X tension termination (JTE), and the n⁺-SiC layer of 5 commits the thickness of a 350-micrometer [2] n type SiC epitaxial layer as a stopper layer. Drawing 2 shows the SiC p-n diode of this invention. The definition of 1, 2, 3, 4, 5, 6, and 7 is the same as drawing 1. It differs from drawing 1 that the n type SiC substrate of 1 is trench and the cathode terminal of seven is embedded into the slot. The slot was etched by reactive ion etching (RIE). Metaled chromium was used as a mask of RIE of SiC. Etching passed the SiC substrate, and it was performed until it reached the SiC epitaxial layer. After embedding polysilicon of P dope in a slot, the metaled cathode terminal was deposited on it.

[0007]The current/voltage characteristics of the samples 1 and 2 are shown in drawing 3. The ON state voltage of the sample 2 had current density as low as 2.7V to the thing with as high

ON state voltage of the sample 1 in 100 A/cm² as 4.6V.

[0008]

[Effect of the Invention]In the SiC semiconductor device which has at least the 1st conductivity-type SiC epitaxial layer formed on the 1st conductivity-type SiC substrate and this 1st conductivity-type SiC substrate as mentioned above according to this invention, The SiC semiconductor device whose ON state voltage is lower than before is obtained by trenching the 1st conductivity-type SiC substrate of the opposite hand of a 1st conductivity-type SiC epitaxial layer, and embedding an electrode in this slot. although it explained in the example using the p-n diode, the effect of this invention is not what is limited only to a p-n diode -- a Schottky barrier element, a MOS transistor, a planar type and trench type IGBT, and IEGT -- it appears still like GTO etc. As a planar image which looked at the slot from the cathode side, although radiate shape is desirable, even if it is other shape, such as mesh shape, the effect of this invention shows up.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-267589

(P2001-267589A)

(43)公開日 平成13年9月28日(2001.9.28)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)	
H 0 1 L	29/861	H 0 1 L 29/16	4 M 1 0 4	
	29/16	29/78	6 5 2 T	5 F 0 0 5
	29/41		6 5 2 L	5 F 1 0 2
	29/43	29/91	F	
	29/74	29/44	C	
審査請求 未請求 請求項の数 2 O L (全 3 頁) 最終頁に続く				

(21)出願番号 特願2000-77213(P2000-77213)

(22)出願日 平成12年3月17日(2000.3.17)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 八幡 彰博

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74)代理人 100081732

弁理士 大胡 典夫 (外2名)

Fターム(参考) 4M104 AA03 BB01 BB40 CC01 DD06

FF06 FF27 GG02 GG03 GG09

GG18 HH20

5F005 AF02 AH02 BB01 GA01 GA02

5F102 FA02 GA14 GB00 GB02 GC01

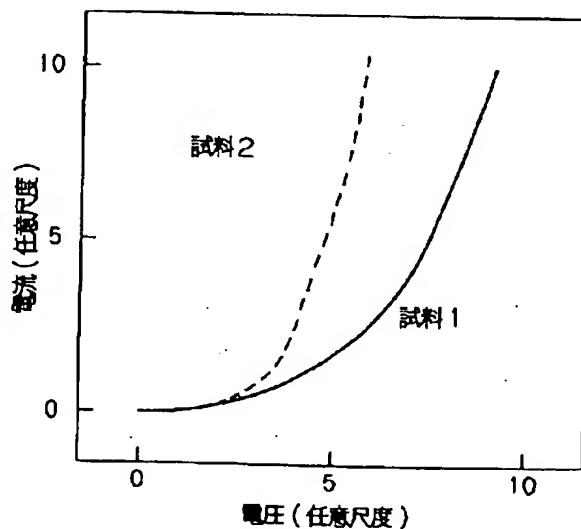
GD01 GJ02 GL02

(54)【発明の名称】 S i C半導体素子

(57)【要約】

【課題】 低いオン電圧のS i C半導体素子を実現すること。

【解決手段】 S i C基板に溝を掘り、この溝に電極を埋め込むこと。



【特許請求の範囲】

【請求項1】 少なくとも、第1導電型SiC基板と、この第1導電型SiC基板上に形成された第1導電型SiCエピタキシャル層を持つSiC半導体素子において、第1導電型SiCエピタキシャル層の反対側の第1導電型SiC基板に溝が掘られ、この溝に電極が埋め込まれていることを特徴とするSiC半導体素子。

【請求項2】 溝の面積が第1導電型SiC基板の面積の10%から50%である請求項1記載のSiC半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はSiC半導体素子に係わり、特に大電流を流すことが可能な電力用半導体素子に関する。

【0002】

【従来の技術】 SiCは、絶縁破壊電界がSi、GaAsの約10倍、電子の飽和ドリフト速度が約2倍、熱伝導率がSiの約3倍であり、p、nの伝導型制御が可能で、安定した熱酸化膜形成が可能という優れた特長があり、Siに代わる将来の電力用素子材料として期待されている。しかしながら、今までに作製されたSiC半導体素子のオン電圧は高く、期待された性能は得られなかった。

【0003】

【発明が解決しようとする課題】 上述の如く、今までに作製されたSiC半導体素子のオン電圧は高く、Si半導体素子に比べて、特に有利である訳ではなかった。筆者らは、この理由の一つがSiC基板のキャリアライフタイムが低く、基板での電圧降下が大きいためであることを見出した。本発明は、上記事情を考慮してなされたもので、その目的とするところは、SiC基板での電圧降下を出来るだけ小さくし、従来よりもオン電圧の低いSiC半導体素子を提供することにある。

【0004】

【課題を解決するための手段】 上記課題を達成するために、少なくとも、第1導電型SiC基板と、この第1導電型SiC基板上に形成された第1導電型SiCエピタキシャル層を持つSiC半導体素子において、第1導電型SiCエピタキシャル層の反対側の第1導電型SiC基板に溝を掘り、この溝に電極を埋め込む。溝の面積は第1導電型SiC基板の面積の10%から50%であることが望ましい。

【0005】 従来よりもオン電圧が低いSiC半導体素子が得られる理由は、第1導電型SiCエピタキシャル層から第1導電型SiC基板に流れ込むキャリアが第1導電型SiC基板をそれほど流れることなく、溝に埋め込まれている電極に達するため、SiC基板における電圧降下が少なくなるからである。溝の面積を10%から50%とした理由は、10%以下にすると電圧降下の

効果が少なくなり、さらに、電流集中が発生するからである。50%以上にするとSiC基板の機械的強度が弱くなるからである。

【0006】

【発明の実施の形態】 以下、本発明の実施例を説明する。図1は従来のSiC p-nダイオードの断面図を示す。1はn型SiC基板、2はn型SiCエピタキシャル層、3はAlをインプラした後、アニールして形成したp⁺-SiC層、4は3と同様にAlをインプラした後、アニールして形成したp⁻-SiC層、5はPをインプラした後、アニールして形成したn⁺-SiC層、6はアノード電極、7はカソード電極である。簡単化のため酸化膜等は省略した。1のn型SiC基板の厚さは350μm、2のn型SiCエピタキシャル層の厚みは1.0μm、4のp⁻-SiC層はジャクソン・エックステンション・ターミネーション(JTE)として、5のn⁺-SiC層はストッパー層として働く。図2は本発明のSiC p-nダイオードを示す。1、2、3、4、5、6、7の定義は図1と同じである。図1と異なるのは1のn型SiC基板に溝が掘られており、その溝の中に7のカソード電極が埋め込まれていることである。リアクティブ・イオン・エッチング(RIE)によって溝のエッチングを行った。SiCのRIEのマスクとして金属のクロムを用いた。エッチングはSiC基板を通過し、SiCエピタキシャル層に達するまで行った。溝にはPドープのポリシリコンを埋め込んだ後、金属のカソード電極をその上に堆積した。

【0007】 図3に試料1と2の電流-電圧特性を示す。電流密度が100A/cm²における試料1のオン電圧は4.6Vと高いのに対し、試料2のオン電圧は2.7Vと低かった。

【0008】

【発明の効果】 以上のように本発明によれば、少なくとも、第1導電型SiC基板と、この第1導電型SiC基板上に形成された第1導電型SiCエピタキシャル層を持つSiC半導体素子において、第1導電型SiCエピタキシャル層の反対側の第1導電型SiC基板に溝を掘り、この溝に電極を埋め込むことにより、従来よりもオン電圧が低いSiC半導体素子が得られる。実施例においては、p-nダイオードを用いて説明したが、本発明の効果はp-nダイオードのみに限定されるものでなく、ショットキー障壁素子、MOSトランジスタ、プレーナ型、および、トレンチ型のIGBT、IEGT、さらにはGTO等にも同様に現れる。溝をカソード側から見た平面像としては、放射状形状が望ましいが、網目状等他の形状であっても、本発明の効果は現れる。

【図面の簡単な説明】

【図1】 従来のSiC p-nダイオード。

【図2】 本発明のSiC p-nダイオード。

【図3】 試料1と2の電流-電圧特性。

3

4

【符号の説明】

1…n型SiC基板

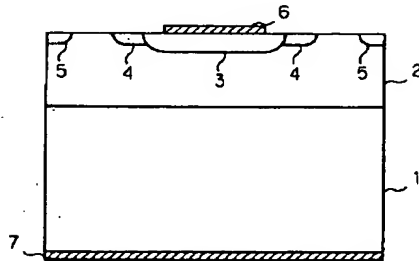
2…n型SiCエピタキシャル層

3…p⁺-SiC層4…p⁻-SiC層5…n⁺-SiC層

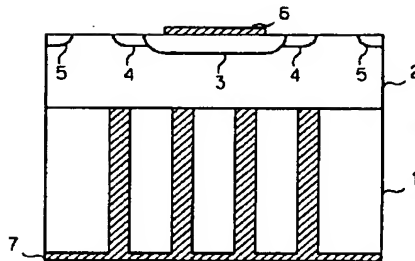
6…アノード電極

7…カソード電極

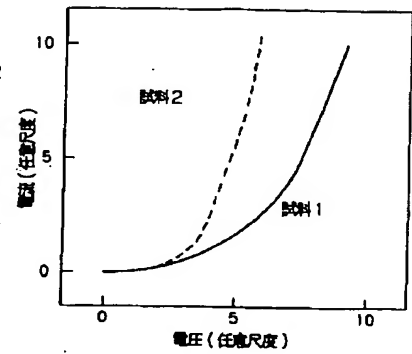
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl.⁷

H01L 29/78

21/338

29/812

識別記号

652

FI

H01L 29/46

29/74

29/80

29/91

テームコード(参考)

F

J

U

C